



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 45 272.5

**Anmeldetag:** 27. September 2002

**Anmelder/Inhaber:** Infineon Technologies AG,  
München/DE

**Bezeichnung:** Verfahren zum Steuern von Halbleiter-  
bausteinen und Steuervorrichtung

**IPC:** G 11 C, G 06 F

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 16. Oktober 2003  
**Deutsches Patent- und Markenamt**  
**Der Präsident**  
Im Auftrag

Faust

## Beschreibung

## Verfahren zum Steuern von Halbleiterbausteinen und Steuervorrichtung

5

Die Erfindung betrifft ein Verfahren zum Steuern von Halbleiterbausteinen, insbesondere Speicherbausteinen, die auf Modulen gruppenweise angeordnet sind. Ferner betrifft die Erfindung eine Steuervorrichtung zur Durchführung des Verfahrens.

10

Moderne elektronische Systeme umfassen in der Regel eine Vielzahl von Halbleiterbausteinen, die als Träger integrierter Schaltkreise dienen. Die mit Hilfe gegenwärtiger Verfahren erreichte hohe Integrationsdichte dieser Schaltkreise, erlaubt die Realisierung einer Vielzahl von Funktionen auf einem einzigen Halbleiterbaustein. So enthalten z.B. einzelne dynamische Speicherbausteine (DRAM) bereits mehr als 64 Millionen einzelner Speicherzellen.

15

20

Trotz dieser hohen Integrationsdichten ist es häufig notwendig, dass Funktionseinheiten elektronischer Systeme, wie z.B. der Arbeitsspeicher eines Rechensystems, aus mehreren Einzelkomponenten zusammengesetzt werden. In diesem Fall werden die Funktionseinheiten häufig auf mehrere Halbleiterbausteine verteilt, die dann gruppenweise auf Modulen angeordnet werden.

25

30

35

Die Verwendung von Modulen kann dabei unterschiedliche Gründe haben. Zum einen erlaubt ein modularer Aufbau den Einsatz von kleineren Halbleiterbausteinen, die sich in der Regel viel günstiger herstellen lassen. Auch können physikalische Effekte, wie z.B. die durch Verlustleistung (power dissipation) bedingte Wärmeentwicklung auf den Halbleiterbausteinen, den Einsatz mehrerer kleiner Einheiten sinnvoll machen. In der Regel lässt sich mit Hilfe eines modularen Aufbaus auch ein flexibler Aufbau der entsprechenden Funktionseinrichtung des elektronischen Systems realisieren.

Zur Einbindung der auf Modulen angeordneten Halbleiterbausteine in das jeweilige elektronische System kommen Bussysteme zum Einsatz, die die Halbleiterbausteine mit entsprechenden Komponenten des elektronischen Systems, wie z.B. dem zentralen Prozessor (central processing unit), verbinden.

Insbesondere bei modernen elektronischen Rechensystemen, deren Arbeitsspeicher in der Regel aus mehreren Modulen mit jeweils mehreren Speicherbausteinen aufgebaut ist, übernimmt eine Speichersteuereinheit (Memory Controller) die Anbindung der Speicherbausteine an den gemeinsamen Datenbus. Sie bildet dabei eine entscheidende Komponente des Rechensystems, denn ihre Funktion besteht darin, den Datenaustausch zwischen dem Prozessor und dem Speicher zu steuern.

Herkömmlicherweise sind Speicherbausteine eines Moduls einer sogenannten Bank fest zugeordnet, deren Mitglieder gleichzeitig einen Datenaustausch mit den Datenbus durchführen. Eine Bank besteht dabei aus einer bestimmten Anzahl von Speicherbausteinen eines Moduls, deren Datenleitungen zusammen genau die Wortbreite des entsprechenden Datenbusses ergeben. In der Regel entspricht das genau der Anzahl der auf einem Modul angeordneten Speicherbausteine. Aufgrund der festen Zuordnung der Speicherbausteine steuert die Speichersteuereinheit lediglich die Auswahl der fest organisierten Bänke.

Problematisch bei der festen Organisation von Speicherbausteinen zu einer Bank erweist sich jedoch, dass insbesondere die durch die Verlustleistung der Speicherbausteine bedingte Wärmeentwicklung stark lokalisiert vorkommen kann. Die mit der Wärmeentwicklung steigende Temperatur eines Speicherbausteins (junction temperature) kann dann bei einigen Speicherbausteinen leicht eine für den jeweiligen Halbleitertyp kritische Temperatur übersteigen, was mit einer drastischen Zunahme von Funktionsstörungen beim jeweiligen Speicherbausteins einhergeht.

Da individuelle Unterschiede der Speicherbausteine einer Bank bei einer festen Bank-Organisation nicht berücksichtigt werden können, führt die vom jeweiligen Nutzungsgrad und der individuellen Eigenschaften eines Speicherbausteins abhängige  
5 Temperaturentwicklung üblicherweise zu einer ungleichmäßigen Temperaturverteilung bei den Speicherbausteinen entlang des entsprechenden Moduls.

Um Fehlfunktionen bei den Speicherbausteinen vorzubeugen, und  
10 damit eine ausreichend hohe Zuverlässigkeit der Speicherbausteine zu gewährleisten, können die einer Bank zugeordneten Speicherbausteine eines Moduls lediglich mit einer reduzierten Leistung betrieben werden. Dies führt in der Regel zu Leistungseinbussen des gesamten Speichers.

15 Um Leistungseinbussen durch thermische Belastung von auf Modulen angeordneten Speicherbausteinen zu reduzieren, werden derzeit lediglich passive Kühlelemente an den Speicherbausteinen vorgesehen. Solche passiven Kühlelemente sind z.B. in  
20 JP 2001196516 A, JP 63299258 A, JP 63273342 A oder JP 11354701 A beschrieben.

Aufgabe der Erfindung besteht darin, ein verbessertes Verfahren zum Betreiben von Halbleiterbausteinen, die gruppenweise  
25 auf an einem gemeinsamen Datenbus angeschlossenen Modulen angeordnet sind, bereitzustellen. Ferner ist es Aufgabe der Erfindung, eine Vorrichtung zur Durchführung des Verfahrens zur Verfügung zu stellen.

30 Diese Aufgabe wird durch ein Verfahren nach Anspruch 1 sowie durch eine Steuervorrichtung nach Anspruch 9 gelöst. Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

35 Demnach wird bei dem erfindungsgemäßen Verfahren zum Betreiben von Halbleiterbausteinen, insbesondere Speicherbausteinen, die gruppenweise auf an einem gemeinsamen Datenbus ange-

geschlossenen Modulen angeordnet sind, wobei jeder Halbleiterbaustein auf jedem Modul mit wenigstens einer Datenleitung des Datenbusses verbunden ist, zunächst eine Gruppe von Halbleiterbausteinen aus den auf den Modulen angeordneten Halbleiterbausteinen durch eine Auswahleinrichtung nach einem vorgegebenen Auswahlkriterium ausgewählt. Dabei findet die Auswahl unabhängig von der Zugehörigkeit der Halbleiterbausteine zu den Modulen statt. Anschließend wird die ausgewählte Gruppe von Halbleiterbausteinen durch eine Aktivierungseinrichtung für einen Datenaustausch mit den Datenleitungen des Datenbusses aktiviert. Im folgenden Verfahrensschritt wird schließlich ein Datenaustausch zwischen den Halbleiterbausteinen der ausgewählten Gruppe und den Datenleitungen des Datenbusses durchgeführt. Da die Auswahl der Halbleiterbausteine modulunabhängig und nach einem vorgegebenen Kriterium erfolgt, können jeweils die geeignetsten Halbleiterbausteine für einen Datenaustausch mit den Datenleitungen des Datenbusses ausgewählt werden. Dies hat den Vorteil, dass der Datenaustausch verbessert werden kann.

In einer vorteilhaften Ausführungsform der Erfindung wählt die Auswahleinrichtung in zwei zeitlich nacheinander erfolgenden Verfahrenszyklen jeweils verschiedene Halbleiterbausteine für die Gruppe aus. Dies hat den Vorteil, dass hierdurch eventuell bei Halbleiterbausteinen aufgrund vorheriger Aktivitäten vorkommende Leistungseinbussen vermieden werden können.

In einer besonders vorteilhaften Ausführungsform der Erfindung wird als Auswahlkriterium für die Gruppe die Temperatur eines Halbleiterbausteins vorgesehen, wobei vorzugsweise Halbleiterbausteine mit der niedrigsten Temperatur ausgewählt werden. Hohe Betriebstemperaturen gestalten sich im Zusammenhang mit Halbleiterschaltungen in der Regel als sehr problematisch. Oberhalb einer kritischen Temperatur, die für jeden Halbleitertyp verschieden ist, treten in der Regel gehäuft Fehlfunktionen bei Halbleiterschaltungen auf. Zur Vermeidung

solcher unerwünschten Betriebszustände, müssen die entsprechenden Halbleiterbausteine unterhalb der kritischen Temperatur betrieben werden. Die erfindungsgemäße Auswahl der Halbleiterbausteine mit der niedrigsten Temperatur ermöglicht somit einen verbesserten Betrieb der Halbleiterbausteine.

In einer weiteren bevorzugten Ausführungsform der Erfindung erfolgt die Auswahl der Gruppe von Halbleiterbausteinen mit Hilfe einer statistischen Methode. Durch den Einsatz einer geeigneten statistischen Methode, die für den Betrieb der Halbleiterbausteine relevanten statistischen Informationen berücksichtigt, kann die Auswahl der Halbleiterbausteine optimiert werden.

Eine besonders vorteilhafte Ausführungsform der Erfindung sieht vor, dass die zur Auswahl der Gruppe von Halbleiterbausteinen vorgesehene statistische Methode die Anordnung Halbleiterbausteine auf den Modulen und/oder die Anordnung der Module (M1-M4) zueinander oder zu anderen benachbarten Komponenten berücksichtigt. Hierdurch können nachteilige Betriebszustände, die sich aufgrund der Anordnung der Halbleiterbausteine oder Module ergeben, vermieden werden.

Eine weitere vorteilhafte Ausführungsform der Erfindung sieht vor, dass die statistische Methode empirisch und/oder aktuell ermittelte Daten berücksichtigt. Durch die Verwendung empirischer Daten kann auf eine aufwendige Ermittlung der aktuellen Betriebszustände verzichtet werden. Die Verwendung aktuell ermittelter Daten ermöglicht hingegen eine verbesserte Auswahl bei schwankenden Betriebsbedingungen.

In einer weiteren bevorzugten Ausführungsform der Erfindung hängt die Auswahlwahrscheinlichkeit eines Halbleiterbausteins von seiner relativen Lage zu benachbarten Halbleiterbausteinen ab, wobei ein im äußeren Bereich der Module angeordneter Halbleiterbaustein eine größere Auswahlwahrscheinlichkeit als ein in einem inneren Bereich angeordneter Halbleiterbaustein

aufweist. Hierdurch kann der Betrieb von Halbleiterbausteinen verbessert werden, die insbesondere aufgrund höherer Temperaturbelastung in einem inneren Bereich der Module ihre kritische Temperatur überschreiten und daher Funktionsstörungen aufweisen.

Eine weitere vorteilhafte Ausführungsform der Erfindung sieht die Verwendung einer Bewertungseinrichtung vor, um die Halbleiterbausteine nach vorgegebenen Kriterien, insbesondere Temperatur, zu bewerten. Durch den Einsatz der Bewertungseinrichtung kann der Zustand der Halbleiterbausteine aktuell bewertet und somit für jeden Verfahrenszyklus eine optimierte Auswahl ermöglicht werden.

Die Erfindung wird im Folgenden anhand von Zeichnungen näher erläutert. Es zeigen:

Fig. 1 eine Anordnung von vier Speichermodulen mit jeweils neun DRAM-Speicherbausteinen,

Fig. 2 vier an einem gemeinsamen Datenbus angeschlossene Module und Steuervorrichtung; und

Fig. 3 vier an einem gemeinsamen Datenbus angeschlossene Module und erfindungsgemäße Steuervorrichtung.

Figur 1 zeigt 36 gleichartige Halbleiterbausteine IC1-IC36, die gruppenweise zu jeweils neun Halbleiterbausteinen IC1-IC36 auf vier gleichartigen Modulen M1-M4 angeordnet sind.

Die hier beispielhaft gezeigten Halbleiterbausteine IC1-IC36 sind Speicherbausteine, wie z.B. SDR und DDR SDRAMs, die auf Speichermodulen, sogenannten „single in-line memory module“ (SIMM) oder „dual in-line memory module“ (DIMM) angeordnet sind. Diese insbesondere aus dem Computerbereich bekannten Speichermodule werden häufig in der durch die Figur 1 gezeigten Anordnung eng beieinander in hierfür vorgesehene Steckplätze einer Hauptplatine (hier nicht gezeigt) gesteckt und

bilden den Arbeitsspeicher eines Rechensystems. Mithilfe von vorzugsweise entlang einer langen Kante eines Moduls M1-M4 angeordneten Kontakten werden die Module M1-M4 an die Datenleitungen DQ1-DQ72, sowie an Versorgungs- und Signalleitungen eines gemeinsamen Datenbusses DQ angeschlossen (hier nicht  
5 gezeigt). Ebenfalls nicht gezeigt sind elektrische Verbindungsleitungen und Schaltkreise, mit deren Hilfe die Speicherbausteine IC1-IC36 mit den Signal-, Versorgungs- und Datenleitungen DQ1-DQ72 des Datenbusses DQ verbunden sind.

10

Der durch den Betrieb der Halbleiterbausteine IC1-IC36 bedingte Verbrauch elektrischer Energie äußert sich in der Regel durch eine Erhöhung der Temperatur der entsprechenden Halbleiterbausteine IC1-IC36. Aufgrund der hohen Integrationsdichten moderner Halbleiterbausteine, sowie der zu deren  
15 Betrieb verwendeten hohen Taktraten, können heutige Halbleiterbausteine IC1-IC36 leicht eine für den jeweiligen Halbleitertyp kritische Temperatur erreichen. Oberhalb dieser Temperatur treten in der Regel gehäuft Fehlfunktionen in den Schaltkreisen der entsprechenden Halbleiterbausteine IC1-IC36  
20 auf, so dass die Zuverlässigkeit der Halbleiterbausteine IC1-IC32 oberhalb der kritischen Temperatur nicht gewährleistet ist.

25

Die in Figur 1 gezeigte Anordnung, wobei Halbleiterbausteine IC1-IC36 nebeneinander auf Modulen M1-M4 angeordnet sind, die wiederum aufgrund von Platzmangel auf der Hauptplatine eng  
nebeneinander angeordnet sind, begünstigt in der Regel eine geringe Luftzirkulation oder -konvektion. Dieser negative Effekt kann durch weitere in der Nähe der Module M1-M4 befindliche  
30 Komponenten und durch den Aufbau des entsprechenden elektronischen Rechensystems selbst noch verstärkt werden, so dass insbesondere in einem mittleren Bereich der Anordnung befindliche Halbleiterbausteine IC1-IC36 in kritischen Temperaturbereichen betrieben werden. Hingegen sind die in einem  
35 äußeren Bereich der Anordnung befindlichen Halbleiterbausteine IC1-IC36 einer besseren Luftzirkulation bzw. -konvektion



ausgesetzt, so dass ihre Betriebstemperatur in der Regel deutlich unterhalb der kritischen Temperatur liegt. Diese sich entlang der Reihenanordnungen der Halbleiterbausteine auf einem Modul M1-M4 offenbarende Verteilung der Betriebs-  
5 temperatur einzelner Halbleiterbausteine IC1-IC36 zeigt sich ebenfalls in der Reihenanordnung der Module M1-M4. So werden in der Regel die beiden äußeren Module M1, M4 aufgrund besserer Luftzirkulation bzw. -konvektion eine niedrigere Temperatur aufweisen als die Module M2, M3 im Inneren dieser Reihen-  
10 anordnung, wo die Module M2, M3 jeweils auf beiden Seiten unmittelbare Nachbarn aufweisen.

Zusätzlich können Halbleiterbausteine IC1-IC36 eines Moduls M1-M4 durch weitere benachbart auf dem jeweiligen Modul M1-M4  
15 angeordnete elektrische Bauelemente, wie z.B. Buffer- oder PLL-Komponenten, die ihrerseits eine hohe Betriebstemperatur aufweisen, thermisch belastet werden.

Figur 2 zeigt einen herkömmlichen Aufbau eines Arbeitsspeichers eines Rechensystems. Dabei sind vier Module M1-M4 an die Datenleitungen DQ1-DQ72 eines gemeinsamen Datenbusses DQ  
20 angeschlossen, dessen Betrieb von einer Steuervorrichtung C gesteuert wird. Die vier Module M1-M4 in Figur 1 stellen beispielhaft moderne SDR- oder DDR SDRAM-Speichermodule dar, die als sogenannte DIMMs („dual in-line memory module“) jeweils  
25 achtzehn Speicherbausteine IC1-IC36 aufweisen, die jeweils in einer Gruppe zu neun Speicherbausteinen IC1-IC36 auf beiden Seiten des Moduls M1-M4 verteilt sind. Der Datenbus DQ, der die vier Module M1-M4 mit der Steuervorrichtung C verbindet,  
30 weist dabei neben Steuer- und Versorgungsleitungen auch 72 Datenleitungen DQ1-DQ72 auf. Jedes der Module M1-M4 weist Verbindungsleitungen und Schaltkreise auf, die zur Verbindung der an den Kontakten der Module M1-M4 anliegenden Leitungen des Datenbusses DQ mit den auf den jeweiligen Modul M1-M4 an-  
35 geordneten Speicherbausteinen IC1-IC36 dienen (hier nicht gezeigt).

Der in Figur 2 gezeigte herkömmliche Aufbau eines modularen Arbeitsspeichers weist eine festgelegte Organisation der Speicherbausteine IC1-IC36 auf. Dabei ist jeder Speicherbaustein IC1-IC36 eines Moduls M1-M4 mit jeweils acht Datenleitungen DQ1-DQ72 des Datenbusses DQ verbunden.

Wie in Figur 2 durch eine Schraffierung dargestellt, sieht eine herkömmliche Organisation vor, dass jeweils nur die Speicherbausteine IC1-IC36 eines einzigen Moduls M1-M4 für einen Datenaustausch mit den Datenleitungen DQ1-DQ72 des Datenbusses DQ aktiviert werden. Somit wird der gesamte Datenbus DQ jeweils von einem einzigen Modul M1-M4 belegt.

In einer anderen Organisation, wie beispielsweise x4, wobei jeder Speicherbaustein IC1-IC36 eines Moduls M1-M4 jeweils mit vier Datenleitungen DQ1-DQ72 verbunden ist, wird ein 72-Bit breiter Datenbus DQ erst durch 18 Speicherbausteine IC1-IC36 belegt. Hierbei werden Herkömmlicherweise beide Seiten eines DIMMs für einen Datenaustausch aktiviert. Da bei der konventionellen Organisation für einen Datenaustausch mit dem Datenbus DQ die Speicherbausteine IC1-IC36 eines Moduls M1 bis M4 Blockweise aktiviert werden, können individuelle Unterschiede der Halbleiterbausteine IC1-IC36, die sich betriebsbedingt ergeben können, nicht berücksichtigt werden. Diese Unterschiede, insbesondere bei leistungsbestimmenden Parametern, wie z.B. der Temperatur eines Halbleiterbausteins, führen im Allgemeinen zu Leistungseinbussen des gesamten Moduls M1-M4. Im herkömmlichen Betrieb kann es daher häufig zu Störungen kommen, da mit dem Überschreiten kritischer Werte leistungsbestimmender Parameter, insbesondere der Temperatur, einzelner Halbleiterbausteine IC1-IC36 eines Moduls M1-M4 die Zuverlässigkeit des entsprechenden Moduls M1-M4 drastisch abnimmt. Um die Zuverlässigkeit des gesamten Moduls M1-M4 zu gewährleisten, muss in diesem Fall die Leistung, d.h. der Datendurchsatz des jeweiligen Moduls M1-M4 reduziert werden, was die besagten Leistungseinbussen eines herkömmlich organisierten Arbeitsspeichers bedingt.

Figur 3 zeigt eine zur Figur 2 analoge Speichervorrichtung mit vier Modulen M1-M4, die an einem gemeinsamen Datenbus DQ angeschlossen sind und jeweils neun Speicherbausteine IC1-IC36 auf einer Seite aufweisen. Die Module M1-M4 sind über die Datenleitungen DQ1-DQ72 des Datenbusses DQ mit einer erfindungsgemäßen Steuervorrichtung C verbunden. Die erfindungsgemäße Steuervorrichtung C weist eine Bewertungseinrichtung S, eine Auswahleinrichtung E sowie eine Aktivierungseinrichtung A auf, die in Figur 3 schematisch dargestellt sind.

Zur Durchführung eines Datenaustausches zwischen den Modulen M1-M4 und den Datenleitungen DQ1-DQ72 des Datenbusses DQ sieht das erfindungsgemäße Verfahren vor, eine Gruppe von Speicherbausteinen IC1-IC36 anhand eines vorgegebenen Kriteriums auszuwählen. Hierzu selektiert die Auswahleinheit E aus der Gesamtheit der Speicherbausteine IC1-IC36 eine bestimmte Anzahl geeigneter Speicherbausteine IC1-IC36 nach dem vorgegebenen Kriterium. Die Anzahl der ausgewählten Speicherbausteine IC1-IC36 ist dabei in Abhängigkeit von der jeweiligen Ausgestaltung der Speicherbausteine IC1-IC36 so bestimmt, dass die Gesamtzahl der durch die Speicherbausteine IC1-IC36 der Gruppe belegten Datenleitungen DQ1-DQ72 genau mit der Breite des gesamten Datenbusses DQ übereinstimmt. Dies entspricht bei der in Figur 3 dargestellten Organisationsstruktur, mit 72 Datenleitungen und jeweils acht Datenleitungen pro Speicherbaustein IC1-IC36 genau neun Speicherbausteinen IC1-IC36. Da die Auswahl modulunabhängig erfolgt, können im Gegensatz zu der festen Organisation in Figur 2 Speicherbausteine IC1-IC36 aller vier Module M1-M4 für die Gruppe ausgewählt werden.

In Abhängigkeit von der jeweiligen Verschaltung auf den Modulen M1-M4, wobei einem Speicherbaustein IC1-IC36 auf einem Modul M1-M4 entweder Datenleitungen DQ1-DQ72 des Datenbusses DQ fest zugeordnet sind oder durch eine hier nicht dargestellte Einrichtung individuell vergeben werden können, wählt

die Auswahleinrichtung E der Steuervorrichtung C die Speicherbausteine IC1-IC36 abhängig oder unabhängig von der jeweiligen Position des Speicherbausteins IC1-IC36 auf dem entsprechenden Modul M1-M4 aus. Da die in Figur 2 und 3 dargestellten Module M1-M4 eine feste Zuordnung der Datenleitungen DQ1-DQ72 des Datenbusses DQ zu den auf dem jeweiligen Modul M1-M4 angeordneten Speicherbausteinen IC1-IC36 aufweisen, muss die Auswahleinrichtung E der Steuervorrichtung C bei der Auswahl eines Speicherbausteins IC1-IC36 für die Gruppe von Speicherbausteinen IC1-IC36 auch die Position des jeweiligen Speicherbausteins IC1-IC36 auf dem entsprechenden Modul M1-M4 berücksichtigen, so dass keine Datenleitung DQ1-DQ72 des Datenbusses DQ gleichzeitig zweien oder mehreren auf derselben Position der Module M1-M4 angeordneten Speicherbausteinen IC1-IC36 zugeordnet wird. Wie in Figur 3 gezeigt ist, werden die Positionen der Module M1-M4 daher lediglich bei einem einzigen Modul M1-M4 ausgewählt.

Als Auswahlkriterium kommt dabei bevorzugt die Temperatur des jeweiligen Speicherbausteins IC1-IC36 in Frage, da ihr angesichts der drastischen Leistungseinbussen beim Überschreiten eines kritischen Wertes eine zentrale Rolle beim Betrieb von Halbleiterbausteinen zukommt. Zur Überwachung der Temperatur jedes Speicherbausteins IC1-IC36 ist dabei die Bewertungseinrichtung S vorgesehen, die in Figur 3 beispielhaft als eine zentrale Einrichtung ausgebildet ist. Die Bewertungseinrichtung S ist dabei ausgebildet, um die leistungsrelevanten Parameter der Speicherbausteine IC1-IC36 auf den Modulen M1-M4 aktuell zu erfassen. Dabei wird die Temperatur der Speicherbausteine IC1-IC36 vorzugsweise mit Hilfe von Temperatursensoren erfasst (hier nicht dargestellt). Diese Temperatursensoren können dabei sowohl auf den Speicherbausteinen IC1-IC36 selbst, auf den Modulen M1-M4 oder auch außerhalb der Module angeordnet sein. Eine Erfassung des leistungsrelevanten Parameters, insbesondere der Temperatur, kann aber auch über eine zentrale Bewertungseinrichtung S erfolgen. Hierzu wird vorzugsweise ein Verhalten der entsprechenden Speicherbausteine

IC1-IC36 während des Betriebs oder während einer Testphase ermittelt und ausgewertet. Da sich mit der Temperatur auch die elektrischen Eigenschaften der Halbleiterschaltkreise eines Speicherbausteins IC1-IC36 ändern, kommen hierfür verschiedene Verhaltensweisen in Frage, wie z.B. ein mit der Temperatur steigender elektrischer Widerstand einer vorgegebenen elektrisch leitfähigen Strecke auf dem jeweiligen Speicherbaustein IC1-IC36.

- 10 Die Auswahleinrichtung E ist dabei vorzugsweise ausgebildet, um die ermittelten Werte der Bewertungseinrichtung S zur Auswahl geeigneter Speicherbausteine IC1-IC36 heranzuziehen.

- 15 Ferner kann in einer anderen Ausgestaltung der Erfindung die Auswahleinrichtung E geeignete Speicherbausteine IC1-IC36 mithilfe einer statistischen Methode auswählen. Hierbei können zufällige oder vorgegebene Auswahlmuster vorgesehen sein, die eine gleichmäßige oder ausgewogene Verteilung der ausgewählten Halbleiterbausteine IC1-IC36 und damit z.B. der Wärmeenergie bewirken können. Ferner können auch hierbei sowohl empirische Daten als auch aktuelle Bewertungswerte berücksichtigt werden. Insbesondere können vorzugsweise auf empirischen Daten basierende Auswahlwahrscheinlichkeiten den Speicherbausteinen IC1-IC36 entsprechend ihrer Position auf einem
- 25 Modul M1-M4 zugeordnet werden.

- Bei der Verwendung empirischer oder aktuell ermittelter Daten bzw. statistischer Methoden bei der Auswahl geeigneter Halbleiterbausteine IC1-IC36 lässt sich ebenso die relative Lage
- 30 der Halbleiterbausteine IC1-IC36 bzw. Module M1-M4 untereinander als auch zu weiteren Komponenten berücksichtigen. Zum Beispiel kann auch die durch eine Übereinanderanordnung von Rechensystemen in einer Serveranwendung bedingte erhöhte thermische Belastung der obersten Module M1-M4 in die Auswahl
- 35 mit einbezogen werden.

Anschließend werden nur die Speicherbausteine IC1-IC36 der ausgewählten Gruppe für einen Datenaustausch mit den Datenleitungen DQ1-DQ72 des Datenbusses DQ durch die Aktivierungseinheit A aktiviert. Damit wird erreicht, dass immer die geeignetesten Speicherbausteine IC1-IC36 an jedem Datenaustausch mit dem Datenbus DQ beteiligt sind.

Da die Auswahl geeigneter Speicherbausteine IC1-IC36 vorzugsweise bei jedem Datenaustauschzyklus erfolgt, stehen bei zwei zeitlich nacheinander durchgeführten Datenaustauschzyklen in der Regel verschiedene Speicherbausteine IC1-IC36 für den Datenaustausch mit den Datenleitungen DQ1-DQ72 zur Verfügung.

Damit kann eine ausreichende Zuverlässigkeit der Speicherbausteine IC1-IC36 auch bei hoher Belastung bzw. ungünstiger räumlicher Anordnung dieser Speicherbausteine IC1-IC36 gewährleistet werden. Da die Speicherbausteine IC1-IC36 mit Hilfe des erfindungsgemäßen Verfahrens unterhalb der kritischen Temperatur betrieben werden können, verbessert sich ihre mittlere Zugriffszeit und somit auch die ihre allgemeine Funktionsfähigkeit.

Die in der vorangehenden Beschreibung, den Ansprüchen und den Zeichnungen offenbarten Merkmale der Erfindung können sowohl einzeln als auch in beliebiger Kombination zur Verwirklichung der Erfindung in ihren verschiedenen Ausführungsformen wesentlich sein. Insbesondere ist es im Sinne der Erfindung das in der vorangehenden Beschreibung beispielhaft auf DRAM-Speicherbausteine bezogene erfindungsgemäße Verfahren auf beliebige gruppenweise auf Modulen angeordnete Halbleiterbausteine anzuwenden.

## Patentansprüche

1. Verfahren zum Betreiben von Halbleiterbausteinen, insbesondere Speicherbausteinen, die gruppenweise auf an einem gemeinsamen Datenbus (DQ) angeschlossenen Modulen (M1-M4) angeordnet sind,

wobei jeder Halbleiterbaustein (IC1-IC36) auf jedem Modul (M1-M4) mit wenigstens einer Datenleitung (DQ1-DQ72) des Datenbusses (DQ) verbunden ist,

mit den Verfahrensschritten:

a) Auswählen einer Gruppe von Halbleiterbausteinen (IC1-IC36) aus auf den Modulen angeordneten Halbleiterbausteinen (IC1-IC36) modulunabhängig nach einem vorgegebenen Auswahlkriterium, wobei die ausgewählte Gruppe der Halbleiterbausteine

(IC1-IC36) die Datenleitungen (DQ1-DQ72) des Datenbusses (DQ) über die gesamte Busbreite belegt;

b) Aktivieren der Halbleiterbausteine (IC1-IC36) der ausgewählten Gruppe; und

c) Ausführen eines Datenaustausches zwischen den Datenleitungen (DQ1-DQ72) des Datenbusses (DQ) und der ausgewählten Gruppe von Halbleiterbausteinen (IC1-IC36).

2. Verfahren nach Anspruch 1,

wobei die Verfahrensschritte a) bis c) wiederholt werden und bei zwei zeitlich nacheinander erfolgenden Zyklen im Verfahrensschritt a) verschiedene Halbleiterbausteine (IC1-IC36) ausgewählt werden.

3. Verfahren nach Anspruch 1 oder 2,

wobei das Auswahlkriterium die Temperatur der Halbleiterbausteine (IC1-IC36) ist und vorzugsweise Halbleiterbausteine (IC1-IC36) mit der niedrigsten Temperatur ausgewählt werden.

4. Verfahren nach einem der Ansprüche 1 bis 3,

wobei die Auswahl der Halbleiterbausteine (IC1-IC36) mit Hilfe einer statistischen Methode erfolgt.

5. Verfahren nach Anspruch 4,  
wobei die statistische Methode die Anordnung der Halbleiter-  
bausteine (IC1-IC36) auf den Modulen (M1-M4) und/oder die An-  
ordnung der Module (M1-M4) zueinander oder zu anderen benach-  
5 barten Komponenten berücksichtigt.

6. Verfahren nach Anspruch 4 oder 5,  
wobei die statistische Methode empirisch gewonnene und/oder  
aktuell ermittelte Daten berücksichtigt.

10

7. Verfahren nach einem der Ansprüche 1 bis 6,  
wobei jedem der Halbleiterbausteine (IC1-IC36) eine Auswahl-  
wahrscheinlichkeit zugeordnet ist.

15

8. Verfahren nach Anspruch 7, wobei die Halbleiterbausteine  
(IC1-IC36) räumlich zueinander angeordnet sind,  
wobei die Auswahlwahrscheinlichkeit eines Halbleiterbausteins  
(IC1-IC36) von seiner relativen Lage zu benachbarten Halblei-  
terbausteinen (IC1-IC36) abhängt und ein Halbleiterbaustein  
20 (IC1-IC36) in einem äußeren Bereich der Module eine höhere  
Auswahlwahrscheinlichkeit aufweist als ein Halbleiterbaustein  
(IC1-IC36) in einem inneren Bereich.

25

9. Steuervorrichtung für Halbleiterbausteine, insbesondere  
Speicherbausteine, die gruppenweise auf an einem gemeinsamen  
Datenbus (DQ) angeschlossenen Modulen (M1-M4) angeordnet  
sind,  
wobei jeder Halbleiterbaustein (IC1-IC36) auf jedem Modul  
(M1-M4) mit wenigsten einer Datenleitung (DQ1-DQ72) des Da-  
tenbusses (DQ) verbunden ist,  
30 wobei eine Auswahleinrichtung (E) ausgebildet ist, um die  
Halbleiterbausteine (IC1-IC36) für die Gruppe modulunabhängig  
nach einem vorgegebenen Auswahlkriterium zyklisch auszuwäh-  
len, und  
35 wobei eine Aktivierungseinrichtung (A) ausgebildet ist, um  
die Halbleiterbausteine (IC1-IC36) der ausgewählten Gruppe



für einen Datenaustausch mit den Datenleitungen (DQ1-DQ72) des Datenbusses (DQ) zu aktivieren.

10. Steuervorrichtung nach Anspruch 9,

- 5 wobei die Auswahleinrichtung (E) ausgebildet ist, um die Halbleiterbausteine (IC1-IC36) für die aktive Gruppe in Abhängigkeit von der Temperatur der Halbleiterbausteine (IC1-IC36) auszuwählen.

10 11. Steuervorrichtung nach Anspruch 9 oder 10,

wobei die Auswahleinrichtung (E) ausgebildet ist, um die Auswahl der Halbleiterbausteine (IC1-IC36) für die aktive Gruppe mit Hilfe einer statistischen Methode durchzuführen.

15 12. Steuervorrichtung nach einem der Ansprüche 9 bis 11,

wobei die Auswahleinrichtung (E) ausgebildet ist, um jedem Halbleiterbaustein (IC1-IC36) eine individuelle Auswahlwahrscheinlichkeit in Abhängigkeit von seiner relativen Lage in einer räumlichen Anordnung der Halbleiterbausteine (IC1-IC36) zuzuordnen.

13. Steuervorrichtung nach einem der Ansprüche 9 bis 12,

wobei eine Bewertungseinrichtung (S) ausgebildet ist, um die Halbleiterbausteine (IC1-IC36) nach vorgegebenen Kriterien, insbesondere der Temperatur, zu bewerten, und dass die Auswahleinrichtung (E) ausgebildet ist, um die Halbleiterbausteine (IC1-IC36) in Abhängigkeit von den Bewertungsergebnissen der Bewertungseinrichtung (S) auszuwählen.

## Zusammenfassung

## 5 Verfahren zum Steuern von Halbleiterbausteinen und Steuervorrichtung

Die Erfindung betrifft ein Verfahren zum Betreiben von Halbleiterbausteinen, insbesondere Speicherbausteinen, die gruppenweise auf an einem gemeinsamen Datenbus (DQ) angeschlossenen Modulen (M1-M4) angeordnet sind,

wobei jeder Halbleiterbaustein (IC1-IC36) auf jedem Modul (M1-M4) mit wenigsten einer Datenleitung (DQ1-DQ72) des Datenbusses (DQ) verbunden ist,

mit den Verfahrensschritten:

15 a) Auswählen einer Gruppe von Halbleiterbausteinen (IC1-IC36) aus auf den Modulen angeordneten Halbleiterbausteinen (IC1-IC36) modulunabhängig nach einem vorgegebenen Auswahlkriterium, wobei die ausgewählte Gruppe der Halbleiterbausteine (IC1-IC36) die Datenleitungen (DQ1-DQ72) des Datenbusses (DQ) über die gesamte Busbreite belegt;

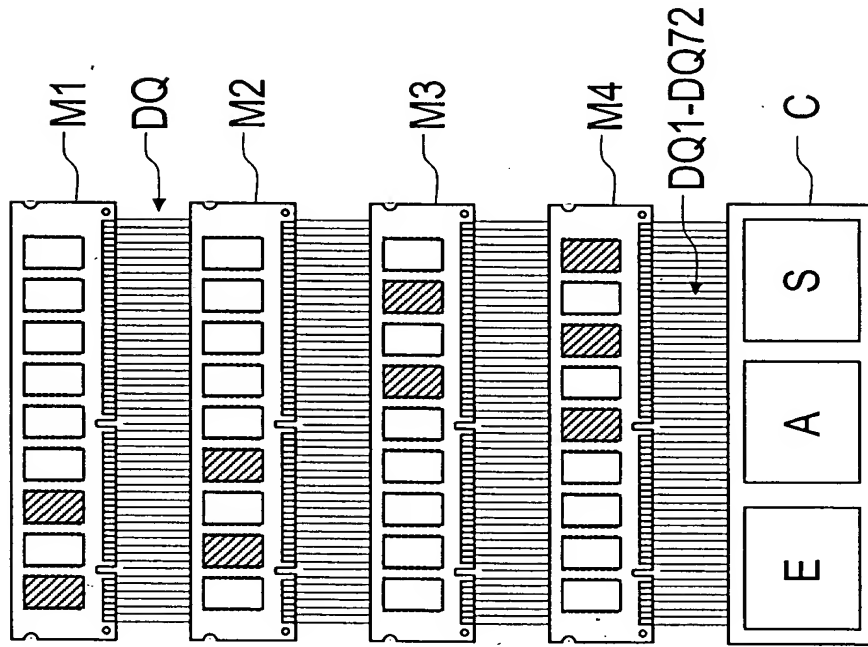
b) Aktivieren der Halbleiterbausteine (IC1-IC36) der ausgewählten Gruppe; und

c) Ausführen eines Datenaustausches zwischen den Datenleitungen (DQ1-DQ72) des Datenbusses (DQ) und der ausgewählten Gruppe von Halbleiterbausteinen (IC1-IC36).

Figur 3

Figur für die  
Zusammenfassung

Fig.3



1/3

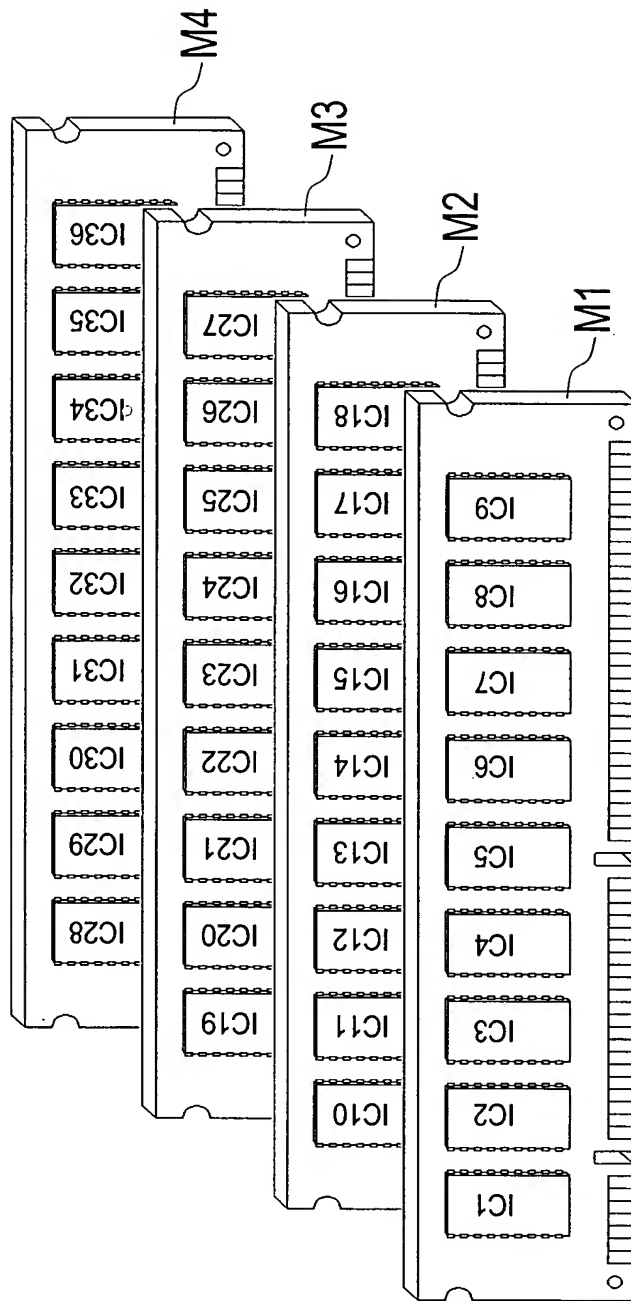


Fig. 1

Fig.2

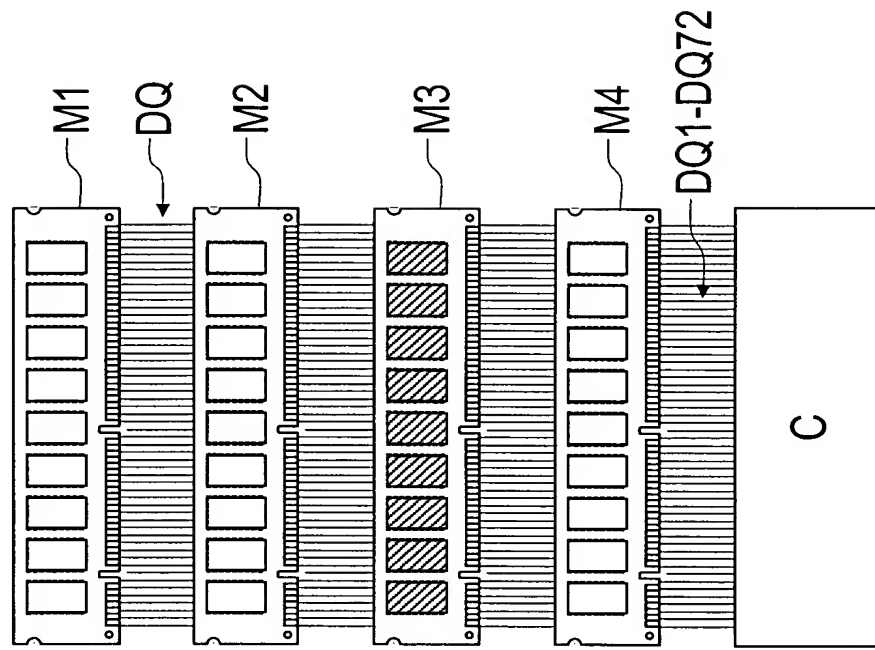


Fig.3

